

# 正交振盪器(Quadrature Oscillator)

指導教授：沈鼎嵐 博士

學生：魏尚凱

輔仁大學 電機工程學系 大學部專題生

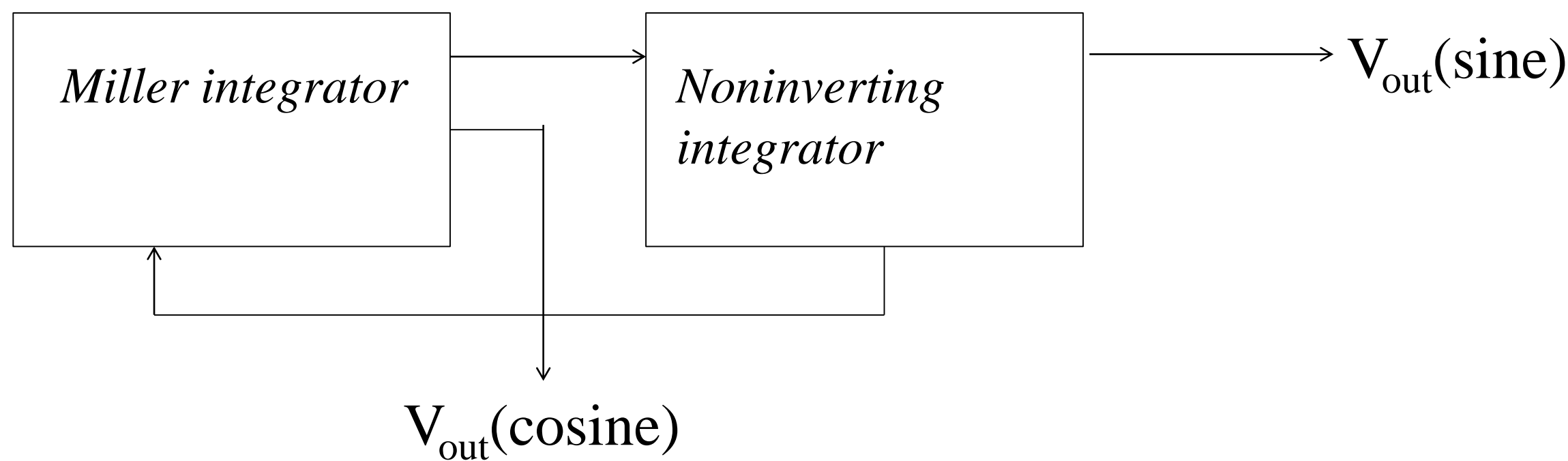
## 摘要

*Quadrature-oscillator*由*Limiter circuit*、*Noninverting integrator*、*Miller integrator*所組成，可以同時輸出*sine*的波形以及*cosine*的波形目前主要的應用是在於通訊方面，需要注意的s-plane是否發散以及震盪頻率 $\omega = \frac{1}{RC}$ ，*Limiter circuit*的主要功用是當輸入電壓 $V_{in}$  太大或太小時，輸出電壓不會過大或是過小進而導致波形產生失真的問題。

此次專題的系統架構是參照Smith電子學並以full-custom design的方式來設計此次的電路架構，使用的是聯電的U18製程，並且成功的tape out。

## 系統架構

這是一個以*OP*來設計的*quadrature-oscillator circuit*，它是由一組*limiter circuit*、*Miller integrator*、*noninverting integrator*所組成，再加上兩個*buffer*來比較原來輸出以及加過*buffer*之後輸出的不同(如圖一)。



圖一、Quadrature-oscillator的架構

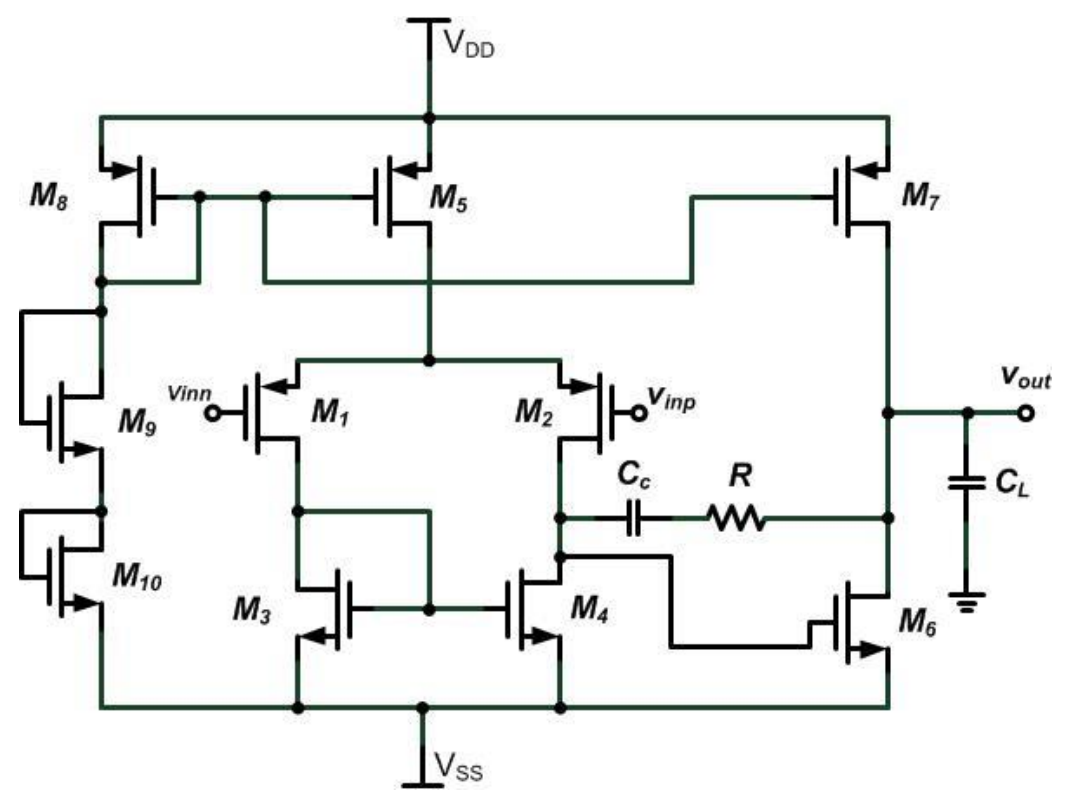
依據Barkhausen criterion原理，當輸入為一常數時，經由*Miller integrator* 可將波形積分成*sine*波形這時可得到第一個輸出 $V_{out}$ ，再經由*feedback*的方式迴授到*Noninverting integrator* 這時可得第二個輸出 $V_{out}$

## 設計流程

設計一個頻率為20kHz的電路，固定 $C_1$ 為19.5nF，電阻 $R$ 為816W，而 $R_f$ 為1.59kW，*limiter circuit*的值分別為5k $\Omega$ 、2k $\Omega$ 、2k $\Omega$ 、5k $\Omega$ ，預估其振幅為+/-0.7V，消耗的功率約為32mW

## 原理及架構說明

運算放大器(OP)(如圖三)二級輸出端的電流為1mA，放大倍率大約在60dB，*phase margin*為66.847，旁路電容為5 $\mu$ F(如圖四)。此電路要小心*systematic output dc offset voltage*，這個的成因是因為 $M_7$ 的電流比輸入*different pair*的電流還要大上兩倍， $V_o$ 會有一個偏移的電壓，而*different pair*中 $L$ 的大小可以決定 的大小，進而影響*voltage gain*的大小(如圖五)，這個電路是採用雙電壓的方式來進行，也就是正負0.9V，它的*CMRR*的值會剛好在0V，下圖(如圖六)是這個電路的*frequency response*以及它的*phase margin*的值，可以藉由控制補償電容中 $C$ 的值來調整 $f_{p2}$ 的大小，或是改變補償電容中 $R$ 的大小來改變使 $f_{p1}$ 使其較為靠近原點(如圖六)，可以使得*phase margin*的值變的比較大，比較穩定。(如圖七)



圖三、OP設計之電路圖

$\omega$	$ H(j\omega) $	$\angle H(j\omega)$
$M_1$	50 $\mu$	540 $^\circ$
$M_2$	50 $\mu$	540 $^\circ$
$M_3$	15 $\mu$	540 $^\circ$
$M_4$	540 $\mu$	540 $^\circ$
$M_5$	85.02 $\mu$	360 $^\circ$
$M_6$	120 $\mu$	540 $^\circ$
$M_7$	344 $\mu$	360 $^\circ$
$M_8$	10 $\mu$	360 $^\circ$
$M_9$	5 $\mu$	180 $^\circ$
$M_{10}$	2 $\mu$	180 $^\circ$
$C_1$	5 $\mu$	
$C_2$	1.00975pF	
$R$	1.539313k $\Omega$	

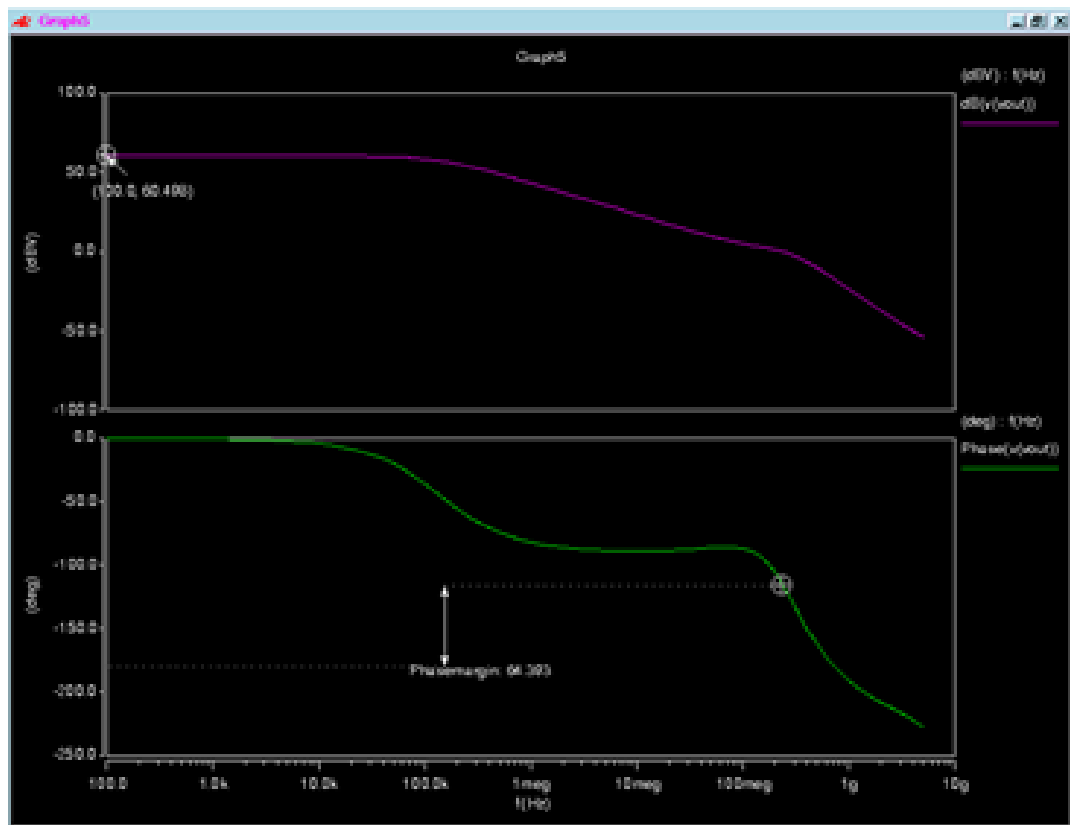
圖四、設計之元件規格

$$f_{p1} \approx \frac{1}{2\pi R_1 G_{m1} R_2 C_1}$$
$$f_{p2} \approx \frac{G_{m2}}{2\pi C_2}$$
$$f_z \approx \frac{G_{m2}}{2\pi C_c}$$

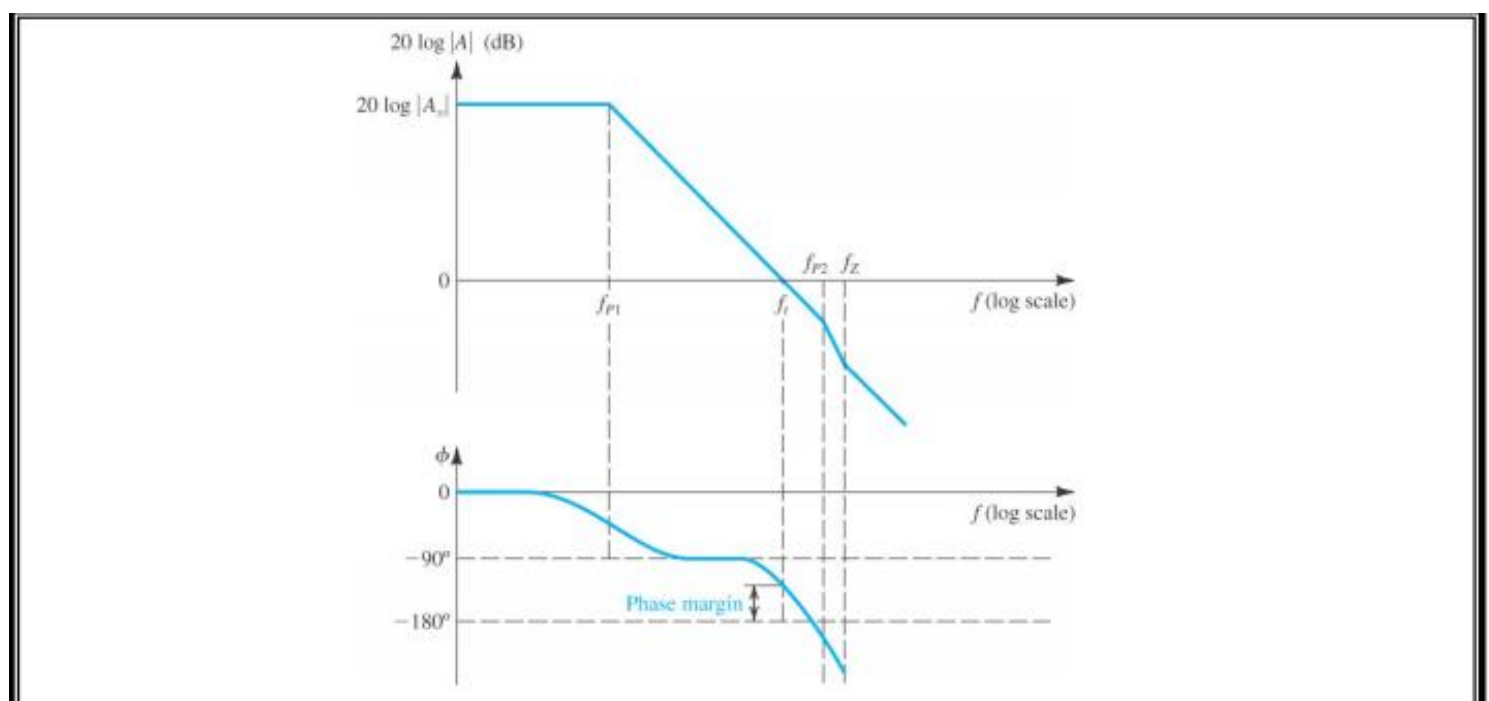
Here,  $f_{p1}$  is the dominant pole ( why?? ) and the unity-gain frequency  $f_u$  is given by,

$$f_u = |A_v| f_{p1} = \frac{G_{m1}}{2\pi C_c}$$

圖五、OP公式



圖六、OP設計之波德圖



圖七、OP波德圖

2. *Quadrature-oscillator circuit*的設計(如圖八)(規格如圖九)

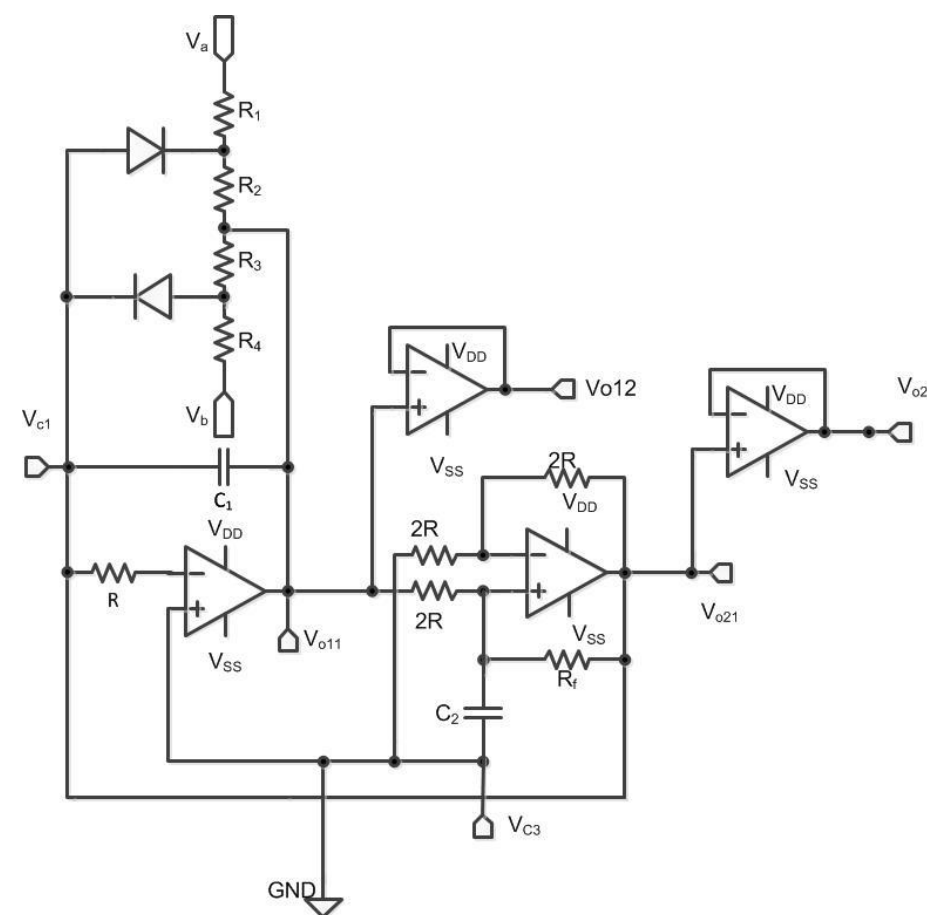
振盪條件依據Barkhausen criterion所闡述的=1，它的*pole*值要位於虛軸上，如果位於s-plane的右半平面的話，振幅就會漸漸發散，反之，如果位於s-plane的左半平面的話，振幅則會收斂。

*Quadrature-oscillator*必須要能夠同時輸出*sine*的波形以及*cosine*的波形，因此需要一個*Noninverting integrator*，可以把波形往後積分90度，*sine*波就可以變成一個*cosine*的波形。

*Quadrature-oscillator*必須要能夠同時輸出*sine*的波形以及*cosine*的波形，因此需要一個*Noninverting integrator*，可以把波形往後積分90度，*sine*波就可以變成一個*cosine*的波形。

電路的 $R_f$ 的值必須要小於 $2R$ ，如果它等於 $2R$ 的話，可能會因為實際電路不準確的影響導致它的*pole*值位於s-plane的左半平面，如果發生這種情形的話，會導致振幅收斂。

在理想電路中， $R_f$ 小於 $2R$ 的話會導致*pole*的值位於右半平面，將會使得電路振福發散，然而，現實電路無法使振福持續發散，一旦發散到此*OP*的極值，就不會再有繼續發散的狀況發生，還是會持續震盪。



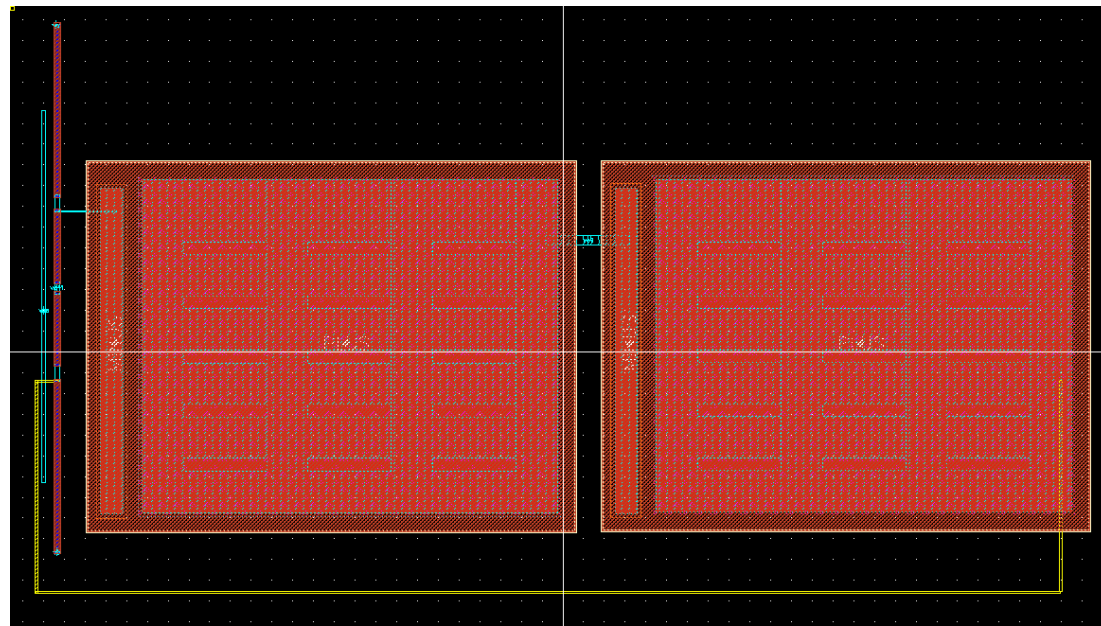
圖八、Quadrature-oscillator的架構

3. *Limiter circuit*(如圖十)

*Limiter circuit*，也就是俗稱的限幅電路，可以防止波形失真，而如果*pole*值位於s-plane的右半平面時，*Limiter circuit*也可以將*pole*的值拉回到虛軸上。

4. *Miller integrator*(如圖十一)

*Miller integrator*可做出*sine*波形的電路



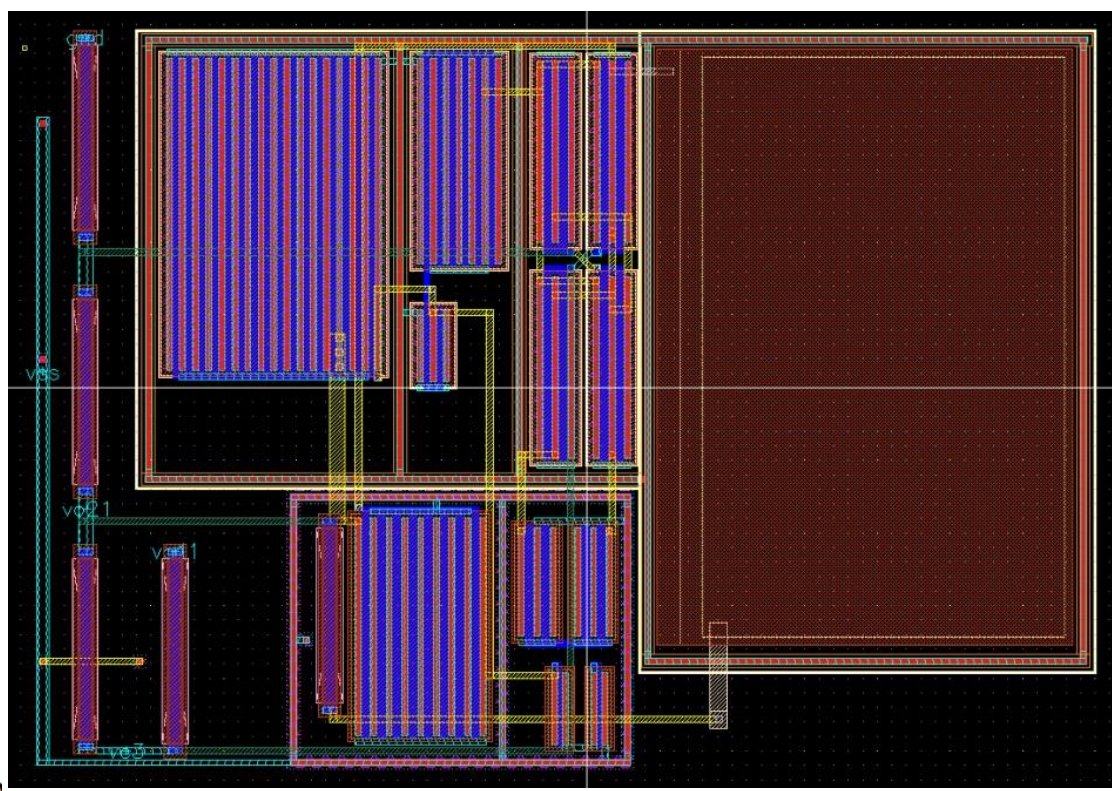
圖十、Limiter circuit的架構

5. *Noninverting integrator*(如圖十二)

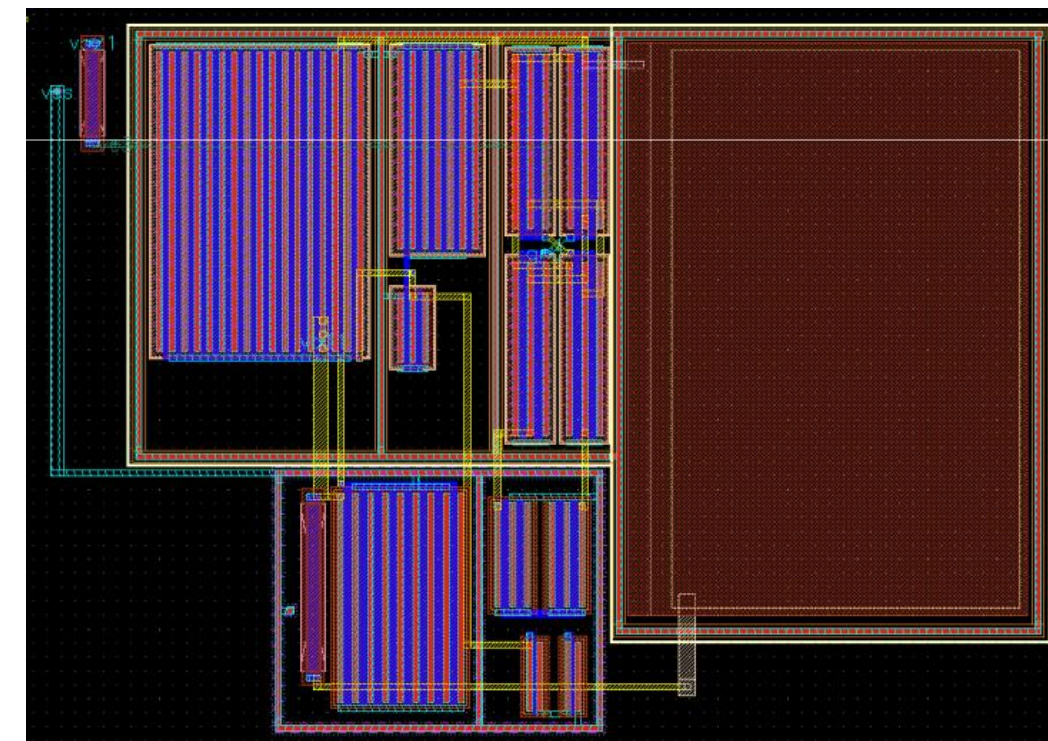
*Noninverting integrator*的方程式，它有可以將波形往後積分90度的功能。

6. 增加*Buffer*的用意(如圖十三)

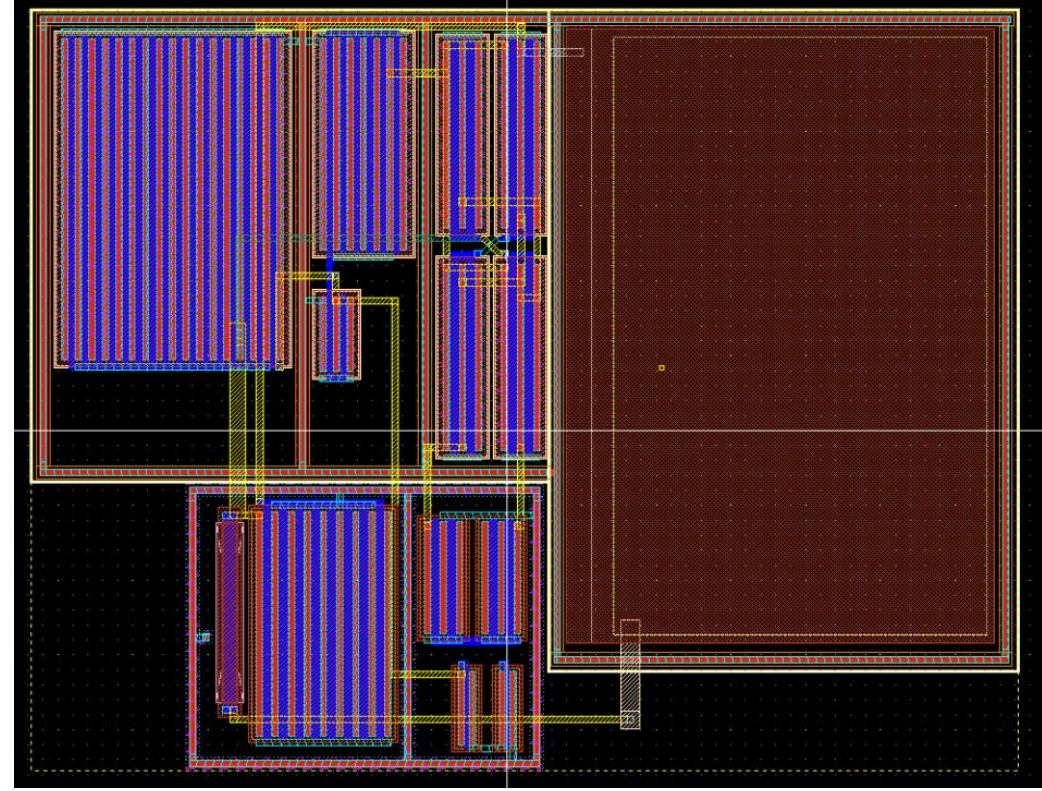
這個*Buffer*又稱電壓隨耦器(*voltage follower*)，沒有任何電壓放大的效果，卻有非常大的輸入阻抗，可視為開路，而輸出阻抗則可視為短路。主要功用是將訊號源與負載隔離，避免負載效應。在負載與輸入訊號間加入電壓隨耦器，分壓電路的輸出電壓就不會受到負載影響。也因為這種隔離作用，電壓隨耦器可視為一種緩衝器(*buffer*)，避免輸入訊號受到負載干擾，輸出電壓也可不隨負載改變而改變，有防止失真的功用。



圖十二、Noninverting integrator的架構



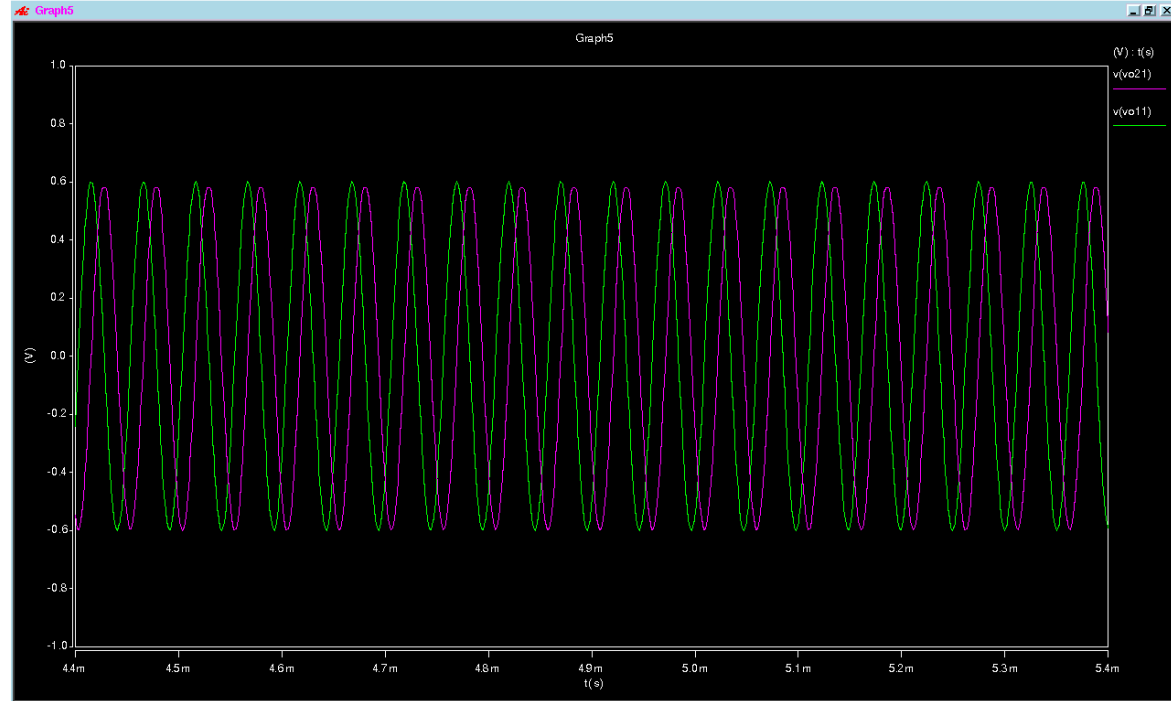
圖十一、Miller integrator的架構



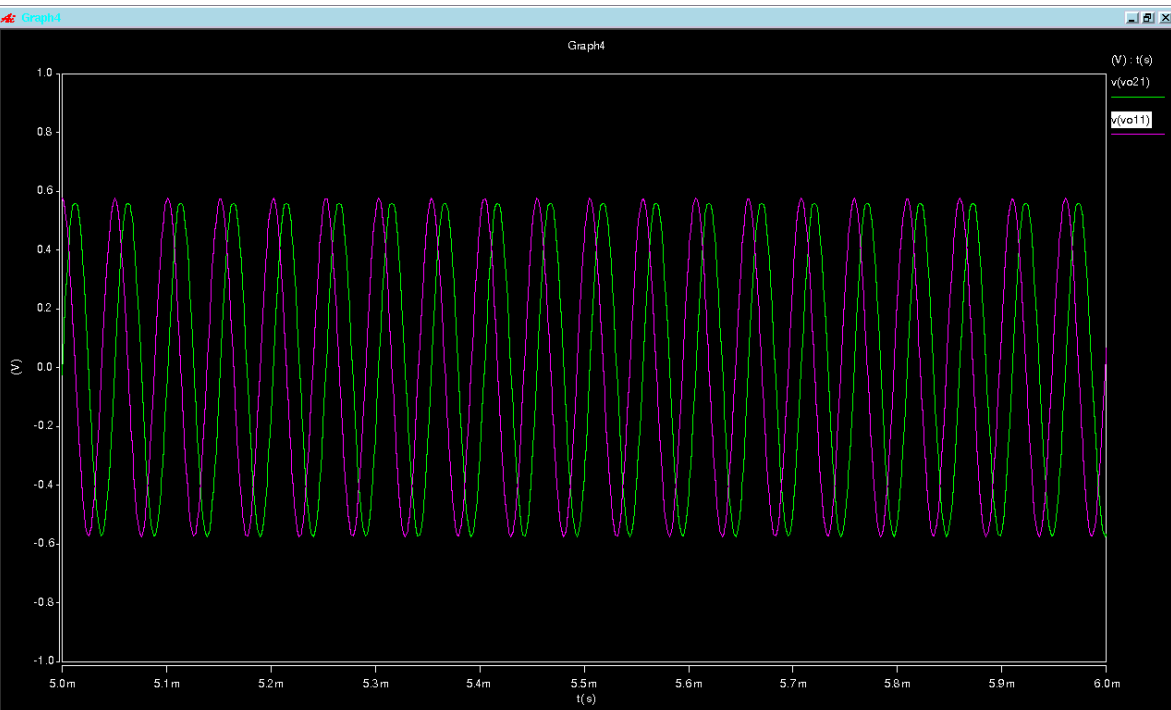
圖十三、Buffer(電壓隨耦器)的架構

## 結論

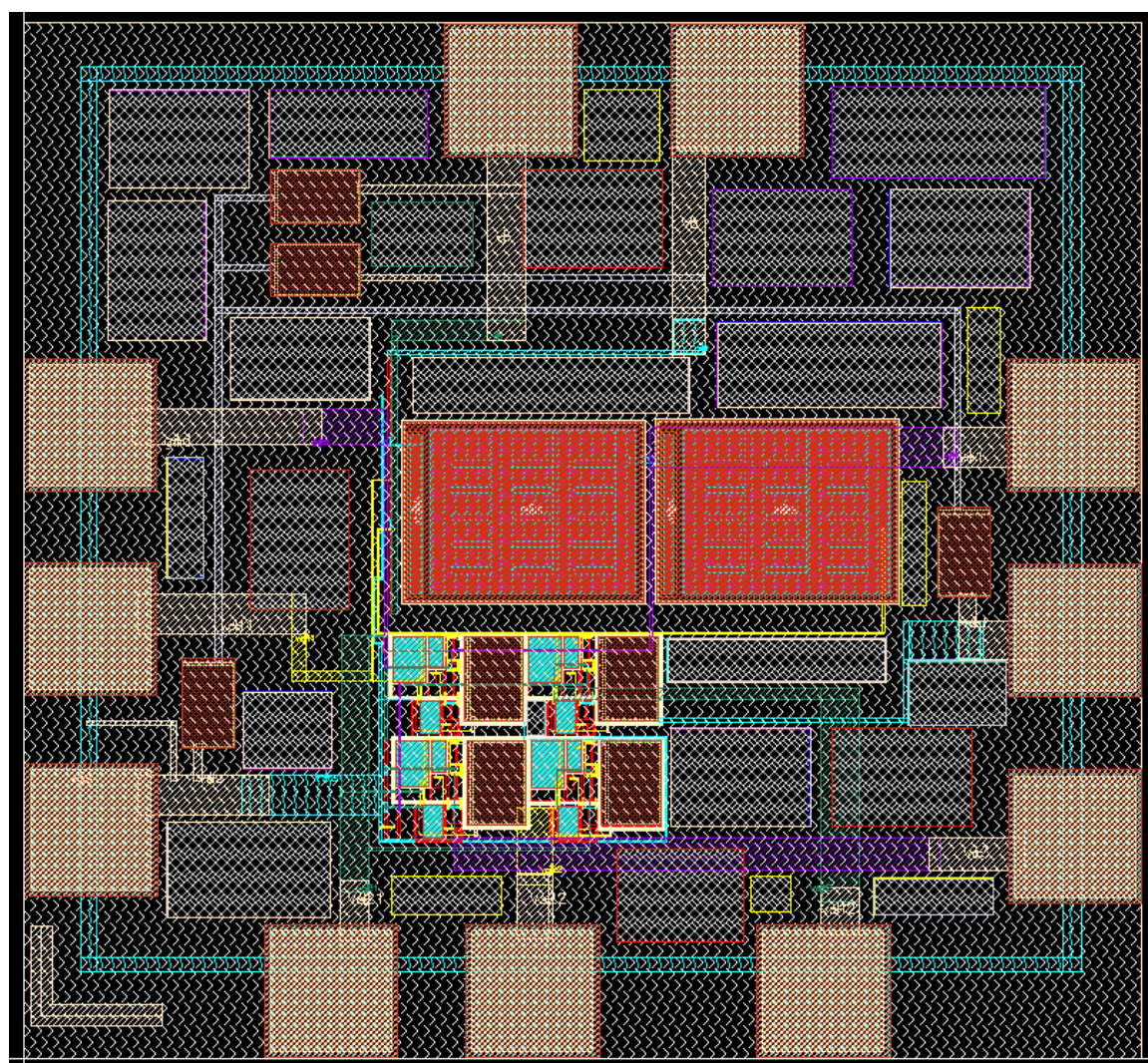
最終完成之layout經由PEX轉出的post-sim檔cscope如下圖十四、十五，可以藉由比較兩者來確定晶片模擬的是否正確，最終完成之晶片設計圖如圖十六



圖十四、post-sim(TT)



圖十噁、pre-sim(TT)



圖十六、最終之晶片設計圖



2015 輔仁大學電機工程學系  
大學部專題成果展

